

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 1999 European Patent Office. All rts. reserv.

10800136

Basic Patent (No,Kind,Date): JP 4291240 A2 921015 <No. of Patents: 002>

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP **4291240** A2 921015

ACTIVE MATRIX SUBSTRATE (English)

Patent Assignee: SHARP KK

Author (Inventor): MATSUSHIMA YASUHIRO; SHIMADA NAOYUKI; YAMASHITA
TOSHIHIRO

Priority (No,Kind,Date): JP 9155026 A 910319

Applic (No,Kind,Date): JP 9155026 A 910319

IPC: * G02F-001/136; G02F-001/1343

JAPIO Reference No: ; 170098P000005

Language of Document: Japanese

Patent (No,Kind,Date): JP 2625268 B2 970702

Priority (No,Kind,Date): JP 9155026 A 910319

Applic (No,Kind,Date): JP 9155026 A 910319

IPC: * G02F-001/136; G02F-001/1343; H01L-029/786

JAPIO Reference No: * 170098P000005

Language of Document: Japanese

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

03926140 **Image available**

ACTIVE MATRIX SUBSTRATE

PUB. NO.: **04-291240** [JP 4291240 A]

PUBLISHED: October 15, 1992 (19921015)

INVENTOR(s): MATSUSHIMA YASUHIRO

SHIMADA NAOYUKI

YAMASHITA TOSHIHIRO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-055026 [JP 9155026]

FILED: March 19, 1991 (19910319)

ABSTRACT

PURPOSE: To present an active matrix substrate reducing the generation of connection defect between the drain electrode of a thin film transistor and a picture element electrode and further reducing the area of a part occupied by additional capacitance for holding video signals.

CONSTITUTION: Thin film transistors 25a and 25b are equipped with thin multi-crystal silicon films 30 equipped with channel layers 12a and 12b and drain electrodes 24, gate insulation films 13 on the thin films 30 and gate electrodes 3a and 3b on the gate insulation films 13. A picture element electrode 4 and the drain electrode 24 are electrically connected by metal constituting a metal layer 10 filling a first contact hole 9a formed at a first inter-layer insulation film 14 and ITO constituting the picture element electrode 4 filling a second contact hole 9b formed at a second inter-layer insulation film 17. Further, the metal layer 10 is used as one electrode of an additional capacitor 27.

特開平4-291240

(43)公開日 平成4年(1992)10月15日

(51)Int.Cl. ⁴	識別記号	序内整理 号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出版番号 特願平3-55026

(22) 出願日 平成3年(1991)3月19日

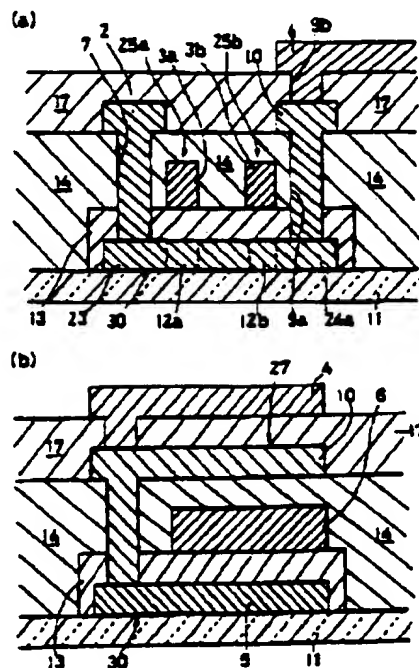
(71)出願人	000005049	
	シャープ株式会社	
	大阪府大阪市阿倍野区長池町22番22号	
(72)発明者	松島 康浩	
	大阪市阿倍野区長池町22番22号	シャープ株式会社内
(72)発明者	島田 尚幸	
	大阪市阿倍野区長池町22番22号	シャープ株式会社内
(72)発明者	山下 俊弘	
	大阪市阿倍野区長池町22番22号	シャープ株式会社内
(74)代理人	弁護士 山本 秀策	

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【目的】 薄膜トランジスタのドレイン電極と給糸電極との接続不良の発生が低減され、しかも、映像信号を保持するための付加容量の占める部分の面積が小さいアクティブマトリクス基板を提供することである。

【構成】 薄膜トランジスタ25a及び25bは、チャネル層12a、12b、並びにドレイン電極24を含む多結晶シリコン薄膜30と、薄膜30上のゲート絶縁膜13と、ゲート絶縁膜13上のゲート電極3a、3bとを有する。給素電極4とドレイン電極24とを、第1層間絶縁膜14に形成された第1コンタクトホール9aを埋める金属層10を構成する金属と、第2層間絶縁膜17に形成された第2コンタクトホール9bを埋める給素電極4を構成するITOとによって電気的に接続する。また、付加容量27の一方の電極として、金属層10を用いる。



【特許請求の範囲】

【請求項1】絶縁性基板と、該絶縁性基板上に形成された、ドレイン電極を有する薄膜トランジスタと、該ドレイン電極を覆う少なくとも第1及び第2の層間絶縁膜と、該ドレイン電極上の該第1層間絶縁膜に形成された第1コンタクトホールと、該第1層間絶縁膜上に形成され、該第1コンタクトホールを介して該ドレイン電極に電気的に接続された金属層と、該金属層上の第2層間絶縁膜に形成された第2コンタクトホールと、該第2層間絶縁膜上に形成され、該第2コンタクトホールを介して該金属層に電気的に接続された給素電極と、を備えたアクティブマトリクス基板。

【請求項2】前記金属層に対向する付加容量電極を更に有し、該付加容量電極と前記金属層との間に付加容量が形成されている請求項1に記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スイッチング素子として薄膜トランジスタ（以下「TFT」という）を有し、液晶等の表示媒体と組み合わせて表示装置を構成するための、アクティブマトリクス基板に関する。

【0002】

【従来の技術】近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも、液晶を用いたアクティブマトリクス型の表示装置は、平面ディスプレイとして研究され、その成果も著実に上がっている。

【0003】このようなアクティブマトリクス表示装置は、給素電極、TFT等が形成されたアクティブマトリクス基板と、対向電極が形成された対向基板と、これらの間に封入された液晶層とによって構成されている。アクティブマトリクス表示装置の研究に於いては、欠陥のない面を得ることが大きな課題となっている。欠陥のない面を有する表示装置を作製するためには、アクティブマトリクス基板上的TFTと給素電極との電気的接続を、確実に行うことが非常に重要である。

【0004】図3に従来のアクティブマトリクス基板のTFT近傍の断面図を示す。この表示装置では、ガラス基板11上に、チャネル層12a、12b、ソース電極23及びドレイン電極24からなる多結晶シリコン薄膜30が形成されている。多結晶シリコン薄膜30上には、ゲート絶縁膜13が形成されている。多結晶シリコン薄膜30のチャネル層12a及び12b以外の部分にはイオン注入法によるドーピングが行われ、それらの抵抗が低減されている。

【0005】ゲート絶縁膜13上には、n⁺又はp⁺型の多結晶シリコンによって、ゲート電極3a及び3bが形成されている。この表示装置では2個のTFT25a及び25bが形成されている。

【0006】ゲート電極3a及び3bを覆って基板11上の全面には、第1層間絶縁膜14が形成されている。第1層間絶縁膜14には、スルーホール7aが形成され、スルーホール7a上にはソースバス配線2が形成されている。ソースバス配線2はスルーホール7aを介してTFT25aのソース電極23に接続されている。第1層間絶縁膜14上の全面には第2層間絶縁膜17が形成され、第1及び第2層間絶縁膜を貫いてコンタクトホール7bが形成されている。第2層間絶縁膜17上には、ITOから成る給素電極4がパターン形成されている。給素電極4はコンタクトホール7bを介して、TFT25bのドレイン電極24に接続されている。

【0007】

【発明が解決しようとする課題】図3の基板では、ゲート絶縁膜13の厚さは100nm、第1及び第2層間絶縁膜14、16の合計の層厚は1300nmに設定されている。従って、ドレイン電極24と給素電極4とを接続するために設けられたコンタクトホール7bの深さは1400nmとなる。この基板ではコンタクトホール7bは給素電極4を構成するITOによってのみ埋められる。ところが、給素電極4を作製するためのITO膜の層厚は通常100nmと小さいため、給素電極4を構成するITOをコンタクトホール7b上に形成するだけでは、給素電極4をドレイン電極24に電気的に確実に接続した状態で形成することができない場合がある。このような給素電極4とドレイン電極24との接続不良は、表示画面上に現れる点欠陥の大きな原因の一つとなっている。

【0008】また、特に高精細な表示を行う表示装置に用いられるアクティブマトリクス基板では、給素電極4の面積が非常に小さくなるため、給素電極4と対向基板上の対向電極（図示せず）との間に形成されるコンデンサの容量が小さくなり、映像信号を必要な時間保持できない。この容量不足を補うため、ドレイン電極24にはドレイン電極24と同じ材料からなる電極が形成され、この電極と付加容量共通電極との間に付加容量が形成される。ところが、付加容量を設けると給素電極4の表示に寄与する部分の面積が小さくなり、表示画面の開口率が小さくなるという問題点が生じる。

【0009】本発明はこのような問題点を解決するものであり、本発明の目的は、ドレイン電極と給素電極との接続不良の発生が低減され、しかも、映像信号を保持するための付加容量の占める部分の面積が小さいアクティブマトリクス基板を提供することである。

【0010】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、絶縁性基板と、該絶縁性基板上に形成された、ドレイン電極を有する薄膜トランジスタと、該ドレイン電極を覆う少なくとも第1及び第2の層間絶縁膜と、該ドレイン電極上の該第1層間絶縁膜に形成された

3

第1コンタクトホールと、該第1層間絶縁膜上に形成され、該第1コンタクトホールを介して該ドレイン電極に電氣的に接続された金属層と、該金属層上の第2層間絶縁膜に形成された第2コンタクトホールと、該第2層間絶縁膜上に形成され、該第2コンタクトホールを介して該金属層に電氣的に接続された検査電極と、を備えており、そのことによって上記目的が達成される。

【0011】また、前記金属層に対向する付加容量電極を更に有し、該付加容量電極と前記金属層との間に付加容量が形成されている構成とすることもできる。

【0012】

【作用】本発明のアクティブマトリクス基板では、ドレイン電極上に少なくとも2層の層間絶縁膜が形成されている。ドレイン電極と金属層とは第1層間絶縁膜に形成された第1コンタクトホールを埋める金属層を構成する金属を介して接続される。金属層と検査電極とは第2層間絶縁膜に形成された第2コンタクトホールを埋める検査電極を構成する透明導電材料を介して接続される。従って、ドレイン電極と検査電極とは金属層を介して電氣的に接続され、検査電極とドレイン電極との接続不良の発生は低減される。

【0013】また、金属層を所定の大きさとし、この金属層に対向する付加容量電極を設ければ、金属層と付加容量電極との間に付加容量を構成することができる。また、容量を備った付加容量部のSiO₂を薄膜化することも可能である。この構成によれば、付加容量の面積を小さくすることができる。

【0014】

【実施例】本発明の実施例について以下に説明する。図2に、本発明のアクティブマトリクス基板を用いた、アクティブマトリクス表示装置の基本的構造の模式図を示す。この表示装置では、駆動回路とTFTアレイとが同一基板上に形成されている。基板11上に、ゲート駆動回路54、ソース駆動回路55、及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の平行するゲートバス配線1が配設されている。ソース駆動回路55からは多数のソースバス配線2が、ゲートバス配線1に直交して配設されている。更に、ソースバス配線2に平行して、付加容量配線8が配設されている。

【0015】ソースバス配線2と、ゲートバス配線1と、付加容量配線8とに囲まれた領域には、TFT25、検査57、及び付加容量27が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。TFT25のドレイン電極に接続された検査電極と対向基板上的対向電極との間に液晶が封入され、検査57が構成されている。検査57は電氣的には容量と等価であり、検査57に書き込まれた信号を保持する作用を有する。また、TFT25のドレイン電極と付加容量配線8との

4

間には、検査57に書き込まれた映像信号を保持するための付加容量27が形成されている。付加容量配線8は、対向電極と同じ電位の電極に接続されている。

【0016】図1(a)に、本実施例のアクティブマトリクス基板のTFT近傍の断面図を示す。また、本実施例の付加容量近傍の断面図を図1(b)に示す。本実施例を製造工程に従って説明する。ガラス、石英等の透明絶縁性基板11上の全面に、多結晶シリコン薄膜をCVD法によって形成した。次に、CVD法、スパッタリング法、又はこの多結晶シリコン薄膜30上面の熱酸化によりゲート絶縁膜13を形成した。ゲート絶縁膜13の厚さは100nmである。また、多結晶シリコン薄膜30の層厚は、40~80nmである。

【0017】次に、上記多結晶シリコン薄膜30及びゲート絶縁膜13のパターニングを行い、チャネル層12a、12b、ソース電極23、ドレイン電極24及び容量用下部電極5を形成した。上述のゲート絶縁膜13の形成をチャネル層12a、12b、容量用下部電極5等のパターン形成の後に行ってもよい。また、ゲート絶縁膜13の形成前に、多結晶シリコン薄膜の結晶性を高めるため、レーザアニール、窒素雰囲気中でのアニール等の処理を行うことも可能である。次に、容量用下部電極5の部分にイオン注入を行い、低抵抗の容量用下部電極5を得た。

【0018】次に、後にゲートバス配線1(図2)、ゲート電極3a及び3b、並びに付加容量電極6となる多結晶シリコン層をCVD法によって450nmの厚さに形成し、ドーピングを行った。これにより、低抵抗の多結晶シリコン層が得られた。その後、低抵抗多結晶シリコン層のパターニングによって、ゲートバス配線1、2つのゲート電極3a及び3b、並びに付加容量電極6を形成した。付加容量電極6は、表示装置として完成した後は対向基板上的対向電極と同じ電位の電極に接続される。ゲート電極3a及び3bをマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、ゲート電極3a及び3bの下方以外の多結晶シリコン薄膜30の部分にイオン注入を行った。これにより、TFT25a及び25bのソース電極23及びドレイン電極24が形成される。尚、本実施例ではTFT25は2つのTFT25a及び25bからなる。

【0019】この基板上の全面に、CVD法によって700nmの厚さで第1層間絶縁膜14を形成した。次に、図1(a)に示すように、スルーホール7及び第1コンタクトホール9aを形成した。次に、信号線として機能するソースバス配線2(図2)と金属層10とを、Al等の低抵抗の金属を用いて同時に形成した。金属層10の層厚は600nmである。ソースバス配線2はスルーホール7上を通るように形成される。従って、ソースバス配線2はスルーホール7を介してソース電極23に接続されることになる。また、金属層10は第1コンタク

トホール9aを埋めるように形成される。従って、金属層10とドレイン電極24とは第1コンタクトホール9aを介して電氣的に接続される。また、本実施例では図1(b)に示すように、付加容量電極6と対向するように形成され、付加容量電極6と金属層10との間にも付加容量27が形成されている。

【0020】次に、この基板上の全面に、CVD法によって第2層間絶縁膜17を600nmの厚さに形成した。次に、第2層間絶縁膜17に第2コンタクトホール9bを形成した。図1(a)に示すように、コンタクトホール9bは第2層間絶縁膜17を貫いて金属層10上に形成されている。更に、層厚100nmのITOから成る絵素電極4をパターン形成した。1図(a)に示すように、絵素電極4はコンタクトホール9b上にも形成されるので、絵素電極4はコンタクトホール9bを介して金属層10に電氣的に接続される。金属層10はドレイン電極24に接続されているので、絵素電極4は金属層10を介してドレイン電極24に電氣的に接続されることになる。

【0021】本実施例では第1層間絶縁膜14に形成されている第1コンタクトホール9aが金属層10を構成する金属によって埋められ、更に第2層間絶縁膜17に形成されている第2コンタクトホール9bが絵素電極4を構成するITOによって埋められている。従って、絵素電極4とドレイン電極24とは、ITO及び金属によって電氣的に接続されることになるので、これらの間の接続不良の発生が低減されている。

【0022】また、付加容量27は、容量用下部電極5と付加容量電極6からなる容量と、金属層10と付加容量電極6からなる容量とによって構成される。従って、従来の付加容量に比べ、小さな面積で必要な容量値を得ることができ、表示画面の開口率を向上させることができる。

【0023】

【発明の効果】本発明のアクティブマトリクス基板で

は、絵素電極とTFTのドレイン電極との接続不良が低減されているので、アクティブマトリクス基板の歩留りが向上する。また、本発明のアクティブマトリクス基板は、小さな面積で大きな容量値の付加容量を有しているので、この基板を用いた表示装置の画面の開口率を向上させることができ、画像品位の向上に寄与することができる。

【図面の簡単な説明】

【図1】(a)は本発明のアクティブマトリクス基板に於ける、薄膜トランジスタの近傍の断面図である。

(b)は本発明のアクティブマトリクス基板に於ける、付加容量の近傍の断面図である。

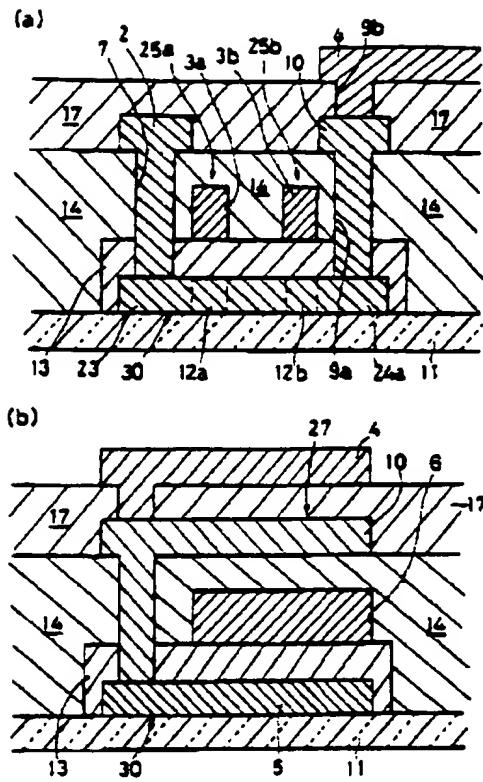
【図2】本発明のアクティブマトリクス基板を用いたアクティブマトリクス表示装置の概略構成を示す図である。

【図3】従来のアクティブマトリクス基板に於ける、薄膜トランジスタの近傍の断面図である。

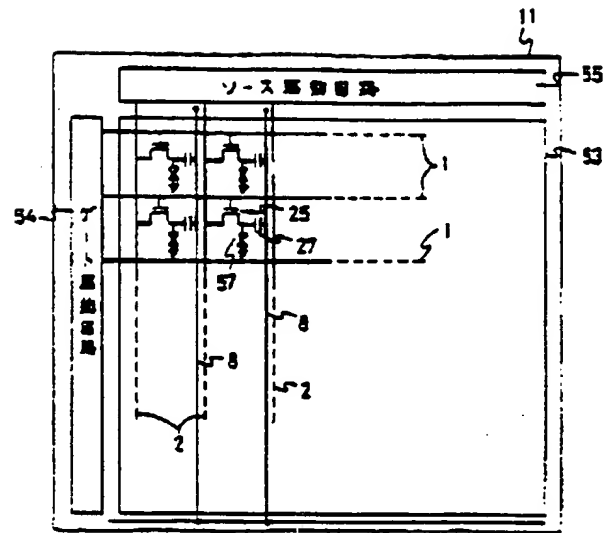
【符号の説明】

- 1 ゲートバス配線
- 2 ソースバス配線
- 3 a, 3 b ゲート電極
- 5 容量用下部電極
- 6 付加容量電極
- 7 スルーホール
- 8 付加容量配線
- 9 a 第1コンタクトホール
- 9 b 第2コンタクトホール
- 10 金属層
- 11 絶縁性基板
- 12 a, 12 b チャンネル層
- 13 ゲート絶縁膜
- 14 第1層間絶縁膜
- 17 第2層間絶縁膜
- 25 a, 25 b TFT
- 30 多結晶シリコン薄膜

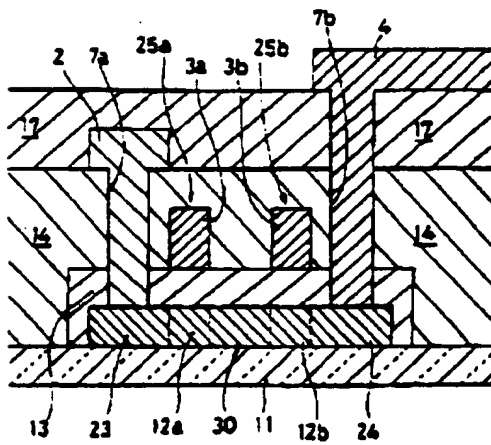
【図1】



【図2】



【図3】



JAPANESE LAID-OPEN PATENT

LAID-OPEN NUMBER: Hei. 4-291240
LAID-OPEN DATE: October 15, 1992
APPLICATION NUMBER: Hei. 3-55026
FILLING DATE: March 19, 1991
APPLICANT: Sharp Corporation

[Title of the Invention] ACTIVE MATRIX SUBSTRATE

[Abstract]

[Object] To provide an active matrix substrate in which the generation of the imperfect connection between a drain electrode and a pixel electrode of a thin film transistor is reduced and also the area which an additional capacitor for holding a video signal occupies is small.

[Structure] Thin film transistors 25a and 25b have: a polycrystalline silicon thin film 30 including channel layers 12a, 12b, and a drain electrode 24; a gate insulating film 13 which is formed on the thin film 30; and gate electrodes 3a, 3b which are formed on the gate insulating film 13. A pixel electrode 4 and a drain electrode 24 are electrically connected to each other through both of metal of which a metallic layer 10 is made with which a first contact hole 9a formed through a first interlayer insulating film 14 is filled and ITO of which the pixel electrode 4 is made with which a second contact hole 9b formed through a second interlayer insulating film 17 is

filled. In addition, the metallic layer 10 is employed as one electrode of an additional capacitor 27.

[Scope of Claim for a Patent]

[Claim 1] An active matrix substrate comprising: an insulating substrate; a thin film transistor which is formed on said insulating substrate and which has a drain electrode; at least first and second interlayer insulating film with which said drain electrode is covered; a first contact hole which is formed through said first interlayer insulating film on said drain electrode; a metallic layer which is formed on said first interlayer insulating film and which is electrically connected to said drain electrode through said first contact hole; a second contact hole which is formed through said second interlayer insulating film on said metallic layer; and a pixel electrode which is formed on said second interlayer insulating film and which is electrically connected to said metallic layer through said second contact hole.

[Claim 2] An active matrix substrate according to claim 1, further comprising an additional capacitor electrode facing said metallic layer, wherein an additional capacitor is formed between said additional capacitor electrode and said metallic layer.

[Detailed Description of them Invention]

[0001]

[Industrial Field of Utilization] The present invention relates to an active matrix substrate which has thin film transistors (hereinafter, referred to as "TFTs" for short, when applicable) as switching elements, and which constitutes a display device in combination with the display medium such as liquid crystal.

[0002]

[Prior Art] In recent years, active matrix display devices each of which employs liquid crystal or the like as the display medium have been actively studied. Out of them, the active matrix type display devices each of which employs liquid crystal have been studied as the flat display devices and the results thereof have been steadily obtained.

[0003] Such an active matrix display device includes an active matrix substrate in which the pixel electrodes, the TFTs and the like are formed, a counter substrate in which the counter electrodes are formed, and a liquid crystal layer with which the space defined therebetween is filled. In the study of the active matrix display devices, it becomes the great task to obtain the screen which is free from any of the defects. In order to manufacture the display device which has the defect-free screen, it is very important that the electrical

connection between TFTs and the pixel electrodes which are formed on the active matrix substrate is reliably carried out.

[0004] A cross sectional view in the vicinity of a TFT of a conventional active matrix substrate is shown in Fig. 3. In this display device, a polycrystalline silicon thin film 30 of which channel layers 12a, 12b, a source electrode 23 and a drain electrode 24 are formed is formed on a glass substrate 11. A gate insulating film 13 is formed on the polycrystalline silicon thin film 30. The impurity ions are implanted into the portion other than the channel layers 12a and 12b of the polycrystalline silicon thin film 30 by utilizing the ion implantation method to reduce the resistance of that portion.

[0005] Gate electrodes 3a and 3b each of which is made of n⁻ type or p⁺ type polycrystalline silicon are formed on the gate insulating film 13. In this display device, two TFTs 25a and 25b are formed.

[0006] A first interlayer insulating film 14 is formed on the whole surface of the substrate 11 on which the gate electrodes 3a and 3b are formed. A through hole 7a is formed through the first interlayer insulating film 14, and a source bus wiring 2 is formed over the through hole 7a. The source bus wiring 2 is connected to a source electrode 23 of the TFT 25a through the through hole 7a. A second interlayer

insulating film 17 is formed over the whole surface of the first interlayer insulating film 14, and a contact hole 7b is formed through the first and second interlayer insulating films. The pattern of pixel electrodes each of which is made of ITO is formed on the second interlayer insulating film 17. The pixel electrode 4 is connected to a drain electrode 24 of the TFT 25b through the contact hole 7b.

[0007]

[Problems to be Solved by the Invention] In the substrate shown in Fig. 3, the thickness of the gate insulating film 13 is set to 100 nm, and the total thickness of the first and second interlayer insulating films 14 and 16 is set to 1,300 nm. As a result, the depth of the contact hole 7b which is formed in order to connect the drain electrode 24 and the pixel electrode 4 to each other becomes 1,400 nm. In this connection, the contact hole 7b is filled with only ITO of which the pixel electrode 4 is made. On the contrary, since the thickness of the ITO film of which the pixel electrode 24 is to be formed is generally so small as to be 100 nm, even when ITO of which the pixel electrode 4 is made is merely formed over the contact hole 7b, the pixel electrode 4 may not be formed in the state of being electrically, reliably connected to the drain electrode 24 in some cases. Such

imperfect connection between the pixel electrode 4 and the drain electrode 24 becomes the great cause of forming the point defects which appear on the display screen.

[0008] In addition, in particular, in the case of the active matrix substrate which is employed in the display device for carrying out the display with the high definition, since the area of the pixel electrode 4 becomes very small, the capacitance of the capacitor value which is formed in the space defined between the pixel electrode 4 and the counter electrode (not shown) on the counter substrate becomes small and hence the capacitor can not hold the video signal for a necessary time period. In order to make up the insufficiency in the capacitance, in the drain electrode 24, the electrode which is made of the same material as that of the drain electrode 24 is formed and the additional capacitor is formed between that electrode and the additional capacitor common electrode. On the contrary, in the case where the additional capacitor is provided, there arises the problem that the area of the portion which contributes to the display of the pixel electrode 4 becomes small and hence the aperture ratio of the display screen becomes small.

[0009] In the light of the foregoing, the present invention was made in order to solve the above-mentioned

problems associated with the prior art, and it is therefore an object of the present invention to provide an active matrix substrate in which the generation of the imperfect connection between a drain electrode and a pixel electrode of a thin film transistor is reduced and also the area which an additional capacitor for holding a video signal occupies is small.

[0010]

[Means for Solving the Problems] In order to attain the above-mentioned object, according to one aspect of the present invention, there is provided an active matrix substrate including: an insulating substrate; a thin film transistor which is formed on the insulating substrate and which has a drain electrode; at least first and second interlayer insulating film with which the drain electrode is covered; a first contact hole which is formed through the first interlayer insulating film on the drain electrode; a metallic layer which is formed on the first interlayer insulating film and which is electrically connected to the drain electrode through the first contact hole; a second contact hole which is formed through the second interlayer insulating film on the metallic layer; and a pixel electrode which is formed on the second interlayer insulating film and which is electrically connected to the metallic layer through the second contact hole.

[0011] In addition, according to another aspect of the present invention, there is provided an active matrix substrate, further including an additional capacitor electrode facing the metallic layer, wherein an additional capacitor is formed between the additional capacitor electrode and the metallic layer.

[0012]

[Operation] In the active matrix substrate of the present invention, at least two interlayer insulating films are formed on the drain electrode. The drain electrode and the metallic layer are connected to each other through metal of which the metallic layer is made with which the first contact hole is filled which is formed through the first interlayer insulating film. Also, the metallic layer and the pixel electrode are connected to each other through the transparent conductive material of which the pixel electrode is made with which the second contact hole is filled which is formed through the second interlayer insulating film. Therefore, the drain electrode and the pixel electrode are electrically connected to each other through the metallic layer and hence the generation of the imperfect connection between the pixel electrode and the drain electrode is reduced.

[0013] In addition, if the metallic layer is formed in

such a way as to have the predetermined size and the additional capacitor electrode facing the metallic layer is provided, then it is possible to form the additional capacitor between the metallic layer and the additional capacitor electrode. In addition, the thickness of SiO_2 of which the additional capacitor portion is made which is provided in order to make up the capacitance can also be thinned. In accordance with this structure, the area of the additional capacitor can be made small.

[0014]

[Embodiment] An embodiment of the present invention will hereinafter be described in detail with reference to the accompanying drawings. Fig. 2 is a schematic view showing a basic configuration of an active matrix display device which employs an active matrix substrate of the present invention. In this display device, a driving circuit and a TFT array are formed on the same substrate. A gate driving circuit 54, a source driving circuit 55, and a TFT array portion 53 are formed on a substrate 11. A large number of parallel gate bus wirings 1 extending from the gate driving circuit 54 are distributed in the TFT array portion 53. A large number of source bus wirings 2 are distributed from the source driving circuit 55 in such a way as to intersect perpendicularly the

gate bus wirings 1. In addition, additional capacitor wirings 8 are distributed in such a way as to be parallel to the source bus wirings 2.

[0015] A TFT 25, a pixel 57 and an additional capacitor 27 are provided in the area which is surrounded by the source bus wiring 2, the gate bus wirings 1, 1 and the additional capacitor wiring 8. A gate electrode of the TFT 25 is connected to the gate bus wiring 1, and a source electrode thereof is connected to the source bus wiring 2. The space defined between the pixel electrode which is connected to the drain electrode of the TFT 25 and the counter electrode on the counter substrate is filled with liquid crystal, thereby forming a pixel 57. Then, the pixel 57 is electrically equal to the capacitor and has the function of holding the signal which has been written to the pixel 57. In addition, an additional capacitor 27 for holding the video signal which has been written to the pixel 57 is formed between the drain electrode of the TFT 25 and the additional capacitor wiring 8. The additional capacitor wiring 8 is electrically connected to the electrode which is at the same electric potential as that of the counter electrode.

[0016] A part (a) of Fig. 1 shows a cross sectional view in the vicinity of the TFT of the active matrix substrate

of the present embodiment. In addition, a part (b) of Fig. 1 shows a cross sectional view in the vicinity of the additional capacitor of the present embodiment. Then, the present embodiment will hereinbelow be described in detail by following the manufacture process. A polycrystalline silicon thin film is formed on the whole surface of a transparent insulating substrate 11 made of glass or quartz crystal by utilizing the CVD method. Next, a gate insulating film 13 is formed on the upper face of the polycrystalline silicon thin film 30 by utilizing the CVD method, the sputtering method or the thermal oxidation method. The thickness of the gate insulating film 13 is 100 nm. In addition, the thickness of the polycrystalline silicon thin film 30 is in the range of 40 to 80 nm.

[0017] Next, the pattern of the polycrystalline silicon thin film 30 and the gate insulating film 13 is formed to form channel layers 12a, 12b, a source electrode 23, a drain electrode 24 and a lower electrode 5 for the capacitor. Alternatively, the above-mentioned gate insulating film 13 may be formed after completion of the patterning formation of the channel layers 12a, 12b, the lower electrode 5 for the capacitor, and the like. In addition, before the formation of the gate insulating film 13, in order to enhance the crystallinity of the polycrystalline silicon thin film, the

processing such as the laser annealing process, or the annealing process in the nitrogen ambient atmosphere may be carried out. Next, the impurity ions are implanted into the portion of the lower electrode 5 for the capacitor by utilizing the ion implantation method to obtain the lower electrodes for the capacitor having the low resistance.

[0018] Next, a polycrystalline silicon layer of which a gate bus wiring 1 (refer to Fig. 2), gate electrodes 3a and 3b, and an additional capacitor electrode 6 will be made later is deposited by utilizing the CVD method in such a way as to have the thickness of 450 nm and then the polycrystalline silicon layer is doped with the predetermined impurity ions. As a result, the polycrystalline silicon layer having the low resistance is obtained. Thereafter, the pattern of the polycrystalline silicon layer having the low resistance is formed to form the gate bus wiring 1, the two gate electrodes 3a and 3b, and the additional capacitor electrode 6. After completion of the manufacture of the display device, the additional capacitor electrode 6 is connected to the electrode which is at the same electric potential as that of the counter electrode on the counter substrate. Then, the impurity ions are implanted into the portion of the polycrystalline silicon thin film 30 other than the portion underlying the gate

electrodes 3a and 3b with the gate electrodes 3a and 3b as a mask and also with photo resist, which has been formed by the photolithography method, as a mask by utilizing the ion implantation method. As a result, a source electrode 23 and a drain electrode 24 of the TFTs 25a and 25b are formed. In this connection, in the present embodiment, the TFT 25 consists of the two TFTs 25a and 25b.

[0019] Then, a first interlayer insulating film 14 is formed over the whole surface of the substrate in such a way as to have the thickness of 700 nm by utilizing the CVD method. Next, as shown in a part (a) of Fig. 1, a through hole 7 and a first contact hole 9a are formed. Next, both of a source bus wiring 2 (refer to Fig. 2) which acts as the signal line and a metallic layer 10 are simultaneously formed with low-resistance metal such as Al. The thickness of the metallic layer 10 is 600 nm. The source bus wiring 2 is formed in such a way as to pass through the position on the through hole 7. As a result, the source bus wiring 2 is connected to the source electrode 23 through the through hole 7. In addition, the metallic layer 10 is formed in such a way as to fill in the first contact hole 9a. Therefore, the metallic layer 10 and the drain electrode 24 are electrically connected to each other through the first contact hole 9a. In addition, in the present embodiment, as

shown in a part (b) of Fig. 1, the metallic layer 10 is formed in such a way as to face the additional capacitor electrode 6, and an additional capacitor 27 is also formed between the additional capacitor electrode 6 and the metallic layer 10.

[0020] Next, a second interlayer insulating film 17 is formed over the whole surface of the substrate in such a way as to have the thickness of 600 nm by utilizing the CVD method. Next, a second contact hole 9b is formed through the second interlayer insulating film 17. As shown in a part (a) of Fig. 1, the contact hole 9b is formed through the second interlayer insulating film 17 in such a way as to reach the metallic layer 10. In addition, the pattern of the pixel electrodes 4 each of which is made of ITO with 100 nm thickness is formed. As shown in a part (a) of Fig. 1, since the pixel electrode 4 is also formed on the contact hole 9b, the pixel electrode 4 is electrically connected to the metallic layer 10 through the contact hole 9b. Since the metallic layer 10 is connected to the drain electrode 24, the pixel electrode 4 is electrically connected to the drain electrode 24 through the metallic layer 10.

[0021] In the present embodiment, the first contact hole 9a which is formed through the first interlayer insulating film 14 is filled with metal of which the metallic layer 10 is

made, and in addition thereto, the second contact hole 9b which is formed through the second interlayer insulating film 17 is filled with ITO of which the pixel electrode 4 is made. Therefore, since the pixel electrode 4 and the drain electrode 24 are electrically connected to each other through ITO and metal, the generation of the imperfect connection therebetween is reduced.

[0022] In addition, the additional capacitor 27 consists of the capacitor including the capacitor lower electrode 5 and the additional capacitor electrode 6, and the capacitor including the metallic layer 10 and the additional capacitor electrode 6. As a result, as compared with the conventional additional capacitor, the necessary capacitance value can be obtained with the smaller area and hence the aperture ratio of the display screen can be enhanced.

[0023]

[Effects of the Invention] In an active matrix substrate of the present invention, since the generation of the imperfect connection between a pixel electrode and a drain electrode of a TFT is reduced, the yield of the active matrix substrate is enhanced. In addition, the active matrix substrate of the present invention has an additional capacitor which has a small area, but has a large capacitance value, the

aperture ratio of the screen of a display device employing this substrate can be enhanced, which can contribute to the improvement in the image grade.

[Brief Description of Drawings]

[Fig. 1] A part (a) is a cross sectional view in the vicinity of a thin film transistor in an active matrix substrate of the present invention.

A part (b) is a cross sectional view in the vicinity of an additional capacitor in an active matrix substrate of the present invention.

[Fig. 2] A circuit diagram showing a schematic configuration of an active matrix display device employing an active matrix substrate of the present invention.

[Fig. 3] A cross sectional view in the vicinity of a thin film transistor in a conventional active matrix substrate.

[Description of Reference Numerals]

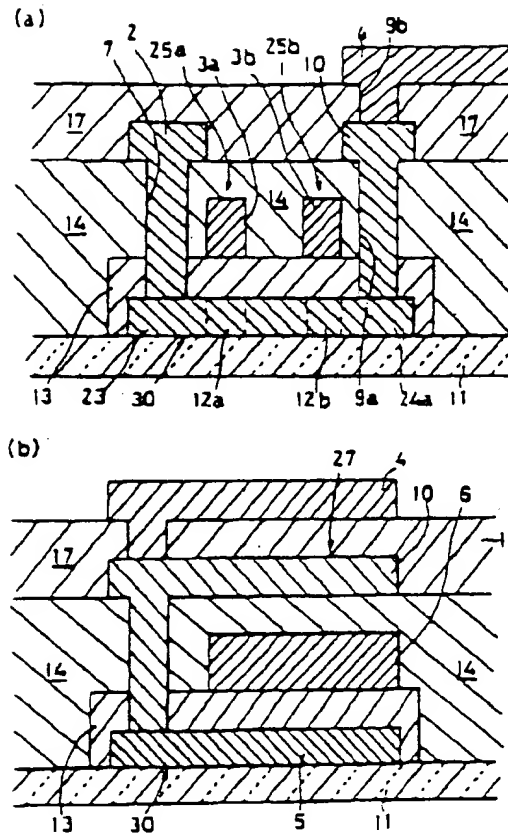
1: gate bus wiring, 2: source bus wiring, 3a, 3b: gate electrode, 5: capacitor lower electrode, 6: additional capacitor electrode, 7: through hole, 8: additional capacitor wiring, 9a: first contact hole, 9b: second contact hole, 10: metallic layer, 11: insulating substrate, 12a, 12b: channel layer, 13: gate insulating film, 14: first interlayer insulating film, 17: second interlayer insulating film, 25a,

25b: TFT, 30: polycrystalline silicon thin film.

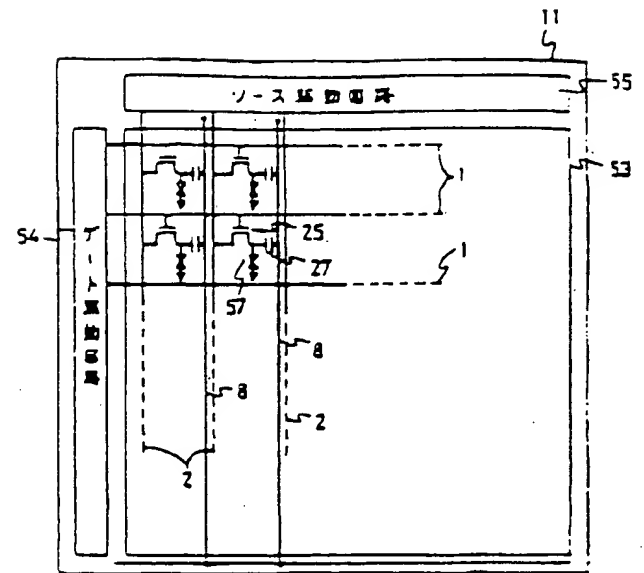
In Fig. 2

1: GATE DRIVING CIRCUIT, 2: SOURCE DRIVING CIRCUIT

【圖 1】



【圖 2】



【圖 3】

